

Equivalent to US2001/056568

METHOD AND DEVICE FOR SYNTHESIZING LOGIC

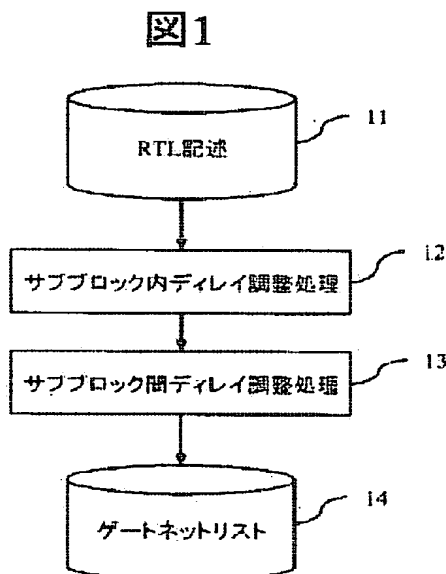
Patent number: JP2001357090 (A)
Publication date: 2001-12-26
Inventor(s): HIROTSU TEPPEI; FUJITA MAKOTO; SHIMAMURA KOTARO; YAMADA HIROMICHI; FUJII MASARU; NAKAYAMA HARUYUKI +
Applicant(s): HITACHI LTD +
Classification:
- international: G06F17/50; H01L21/82; (IPC1-7): G06F17/50; H01L21/82
- european: G06F17/50D2
Application number: JP20000177327 20000613
Priority number(s): JP20000177327 20000613

Also published as:

US2001056568 (A1)
US6609232 (B2)

Abstract of JP 2001357090 (A)

PROBLEM TO BE SOLVED: To provide a method and a device for synthesizing logic, in which the delay of all the paths is brought close to a target value with one time of processing and the path between the sub-blocks can be easily optimized with a little labor in a short time. **SOLUTION:** The delay of the path inside the sub-block is brought close to the target value for every sub-block, and next, the delay of the path mutually between the plural sub-blocks is brought close to the target value. Concerning the regulation of the path delay between the sub-blocks, sub-block boundary parts corresponding to respective sub-blocks are exchanged. Thus, the optimization of a path between sub-blocks can be executed with one time of processing while sufficiently extracting the ability of a logic synthesizing tool as a result by eliminating necessity to put an input/output delay limit into the synthesis of the path between the sub-blocks by handling the path between the sub-blocks as a path inside the sub-block.



Data supplied from the *espacenet* database — Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2001-357090
(P2001-357090A)

(43)公開日 平成13年12月26日(2001. 12. 26)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
G 0 6 F 17/50	6 5 6	C 0 6 F 17/50	6 5 6 D 5 B 0 4 6
	6 5 4		6 5 4 C 5 F 0 6 4
H 0 1 L 21/82		H 0 1 L 21/82	W
			C

審査請求 未請求 請求項の数8 O L (全 11 頁)

(21)出願番号 特願2000-177327(P2000-177327)

(22)出願日 平成12年6月13日(2000. 6. 13)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 広津 鉄平

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72)発明者 藤田 良

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74)代理人 100078134

弁理士 武 顕次郎

最終頁に続く

(54)【発明の名称】 論理合成方法及び論理合成装置

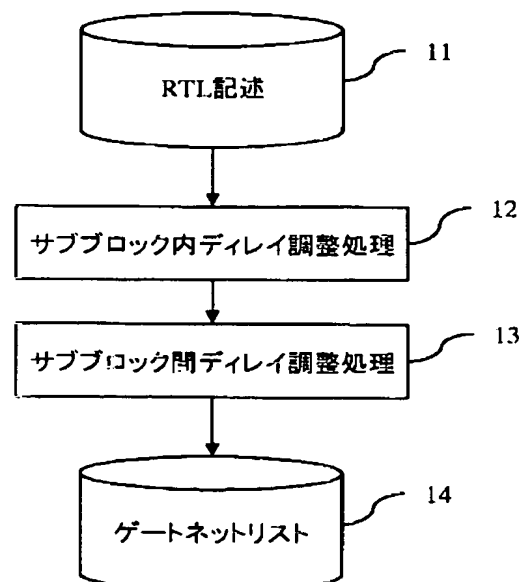
(57)【要約】 (修正有)

【課題】 全てのパスのディレイが1回の処理で目標値に近づけられ、少ない労力と短い時間で容易にサブブロック間パスの最適化が得られるようにした論理合成方法及び論理合成装置を提供すること。

【解決手段】 サブブロック毎にサブブロック内パスのディレイを目標値に近づけ、次に、複数のサブブロック相互間のパスのディレイを目標値に近づける。サブブロック間パスディレイ調整は、各サブブロックと対応するサブブロック境界部を入れ替える。

【効果】 サブブロック間パスを、サブブロック内パスとして扱うことにより、サブブロック間パスの合成に出力ディレイ制約を入れる必要がなくなり、この結果、論理合成ツールの能力を十分引き出したサブブロック間パスの最適化を1回の処理で実行できる。

図1



【特許請求の範囲】

【請求項1】 RTL記述された論理回路を複数のサブブロックに分割した上で、これらサブブロック毎に論理合成する論理合成方法において、少なくともクロック定義を入れた論理合成により、前記各サブブロック毎に、サブブロック内パスのディレイを目標値に近づけるサブブロック内パスディレイ調整処理と、少なくともクロック定義を入れた論理合成により、前記論理回路と前記複数のサブブロックの1個の間のパス及び前記複数のサブブロック相互間のパスのディレイを目標値に近づけるサブブロック間パスディレイ調整処理とを含むことを特徴とする論理合成方法。

【請求項2】 請求項1において、前記サブブロック間パスディレイ調整処理が、各々のサブブロックにおいて、それぞれサブブロックの外部ピンを起点としたファンアウトトレース上にある組合回路及びファンイントレース上にある組合回路と、これら各組合回路のトレースの終点となるFFとを含むサブブロック境界部を作成した上で、RTL記述により、前記各サブブロックと、対応する前記サブブロック境界部を入れ替える処理であることを特徴とする論理合成方法。

【請求項3】 請求項1又は請求項2において、前記サブブロック内パスディレイ調整処理が、各サブブロック毎に並列に実行されることを特徴とする論理合成方法。

【請求項4】 RTL記述された論理回路を複数のサブブロックに分割した上で、これらサブブロック毎に論理合成する論理合成装置において、少なくともクロック定義を入れた論理合成により、前記各サブブロック毎に、サブブロック内パスのディレイを目標値に近づけるサブブロック内パスディレイ調整手段と、少なくともクロック定義を入れた論理合成により、前記論理回路と前記複数のサブブロックの1個の間のパス及び前記複数のサブブロック相互間のパスのディレイを目標値に近づけるサブブロック間パスディレイ調整手段とで構成されていることを特徴とする論理合成装置。

【請求項5】 請求項1において、前記サブブロック間パスディレイ調整手段が、各々のサブブロックにおいて、それぞれサブブロックの外部ピンを起点としたファンアウトトレース上にある組合回路及びファンイントレース上にある組合回路と、これら各組合回路のトレースの終点となるFFとを含むサブブロック境界部を作成した上で、RTL記述により、前記各サブブロックと、対応する前記サブブロック境界部を入れ替える手段であることを特徴とする論理合成装置。

【請求項6】 請求項4又は請求項5において、

前記サブブロック内パスディレイ調整が前記各サブブロック毎に並列に実行されるように、前記サブブロック内パスディレイ調整手段が構成されていることを特徴とする論理合成方法。

【請求項7】 請求項6において、前記サブブロック内パスディレイ調整が、異なるCPUによって実行されることを特徴とする論理合成装置。

【請求項8】 請求項6において、前記サブブロック内パスディレイ調整が、異なる計算機によって実行されることを特徴とする論理合成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数のサブブロックを有するLSIのRTL記述による論理合成方法と装置に係り、複数のサブブロックを有するLSIのRTL記述による論理合成方法と装置に関する。

【0002】

【従来の技術】近年、LSIの開発では、例えば「Design Wave Magazine」1999年5月号(p36-p43)等の文献に記載されているように、LSIに要求される回路の機能仕様をRTL(Register Transfer Level)記述し、このRTL記述上で論理合成することにより、実装すべきLSI製造プロセスに最適化されたゲートレベルを求めるという設計技法が広く使用されるようになってきている。

【0003】そこで、まず、このRTL記述について簡単に説明すると、ここで、図8は、RTL記述によるLSI開発の処理フローの一例であるが、この場合、図示のように、ステップ81からステップ84までの処理になっている。

【0004】そして、この場合は、まずステップ81で、LSIの機能を抽象度の高いRTL記述で設計し、それを入力する処理を実行する。次にステップ82で、RTL記述を論理合成し、実装するLSI製造プロセスに最適化されたゲートネットリストに変換する処理を実行する。

【0005】更にステップ83で、ゲートネットリストを配置配線し、実際のLSIの位置と配線を決め、マスクパターンを生成する処理を実行する。そして、最後に、ステップ84では、このマスクパターンにより、LSIを製造するのである。

【0006】次に、図9～図13により、論理合成処理の入力であるRTL記述とテクノロジライブラリ、合成制約、それに論理合成処理の出力であるゲートネットリストについて説明し、更に、これらを用いた論理合成について説明する。図9は、ここで、モデルとした回路(回路A)のRTL記述で、その各行の意味は次の通りである。

【0007】まず、図9の1行は回路Aの定義の始まりを表わし、module 回路名(ポートリスト)という構文規則である。次に、2行～4行はそれぞれ入出力信号定義と

出力信号定義、それに内部信号定義で、それぞれ以下の構文規則である。

2行: input 入力信号リスト;

3行: output 出力信号リスト;

4行: wire 内部信号リスト;

【0008】また、5行～7行はそれぞれ以下のよう
に、組み合わせた回路(組合回路)を記述したものであ
る。

5行: 入力inを反転して、i1に出力するインバータの
記述。

6行: 入力i2を反転して、i3に出力するインバータの
記述。

7行: 入力i4を反転して、outに出力するインバータの
記述。

【0009】更に、8行～11行は記憶素子FF(フリ
ップフロップ)の記述で、ここでは、入力がin、出力がi
1で、クロックclkの立上りエッジで同期するFFを表
わしている。同じく12行～15行は、5行～8行と同
様、記憶素子FFの記述であるが、ここでは、入力がi
2、出力がoutで、クロックclkの立上りエッジで同期す
るFFを表わしている。そして、16行は回路定義の終
りを表わしている。

【0010】合成制約は、回路のクロック定義と入出力
ディレイ(遅延時間)制約であり、回路内のパス(入力ピ
ン～FF間、FF～FF間、FF～出力ピン間の信号経
路)のディレイ目標を論理合成ツールに指示するもので
ある。具体的に、回路Aの合成制約の例を図10に示
す。ここで、数値の単位は、全てナノ秒(nsec)とす
る。そして、説明のため、図9のRTL記述が表わす回
路と、図10の合成制約が示すディレイ目標との関係
は、図11に示すようになっていくものとする。

【0011】図10の1行はクロック定義で、これは、
クロックclkに周期10ナノ秒のクロックを定義してお
り、このクロックclkに同期するFF間の信号のディレ
イが10ナノ秒以下になる回路を作るよう合成ツールに
指示するためのディレイ目標1101を与えるものであ
る。

【0012】図10の2行は入力ディレイ制約で、これ
は、回路の外部にあるクロックclkに同期したFFか
ら、入力ポートinまでの間に、6ナノ秒のディレイを持
つ組合回路1111があることを意味し、従って、入力
ポートinからクロックclkに同期するFFまでのディレ
イが4(=10-6)ナノ秒以下になる回路を作るように
論理合成ツールに指示するディレイ目標1102を与え
る。

【0013】3行は出力ディレイ制約で、これは、回路
の出力ポートoutからクロックclkに同期するFFまでの
間に、1ナノ秒のディレイを持つ組合回路1112があ
ることを意味し、従って、クロックclkに同期するFF
から出力ポートoutまでのディレイが9(=10-1)ナ

ノ秒以下になる回路を作るよう合成ツールに指示するた
めのディレイ目標1103を与える。

【0014】テクノロジライブラリは、このときのLS
I製造プロセスで作成可能なAND素子やOR素子、或
いはFFなどの論理素子(以後、セルと呼ぶ)の機能及び
パラメータテーブルで、図12は、このテクノロジライ
ブラリの内容の一例を示したものである。

【0015】そして、図9に示す回路AのRTL記述
を、図10の合成制約を与えて論理合成した上で、図1
2のテクノロジライブラリにあるセルで構成されるゲー
トネットに変換したのが図13に示すゲートネットリス
トである。

【0016】この図13のゲートネットリストにおい
て、まず、1行～4行は、図9のRTL記述と同じで、
モジュール定義の始まりと、入出力信号及び内部信号の
定義である。次に、5行～9行はセルの接続関係を示す
と共に、テクノロジライブラリセルの機能を継承(イン
スタンス)するための記述で、

セル名 インスタンス名(ポートリスト);
という構文規則になっている。そして、10行は、モジ
ュール定義の終りを示す。

【0017】まず、ここで、5行は、図11のRTL記
述にある回路の中のインバータ1121を、図12のテ
クノロジライブラリにあるインバータinvd2セルでイン
スタンス化したものであるが、このときの論理合成ツ
ールは、ディレイ目標1102により、入力inからFFの
入力i1までのディレイが4ナノ秒以下になるよう、テ
クノロジライブラリにある同じ機能をもつセルinvd0～
3のうち、ディレイが3ナノ秒であるinvd2を選択す
る。

【0018】次に6行は、図11にあるRTL記述が表
わす回路のインバータ1122を、図12のテクノロジ
ライブラリにあるインバータinvd0セルでインスタンス
化したもので、このとき、論理合成ツールは、ディレイ
目標1101により、FF間のディレイが10ナノ秒以
下になるよう、テクノロジライブラリにある同じ機能
をもつセルinvd0～3のうちで最も面積が小さいinvd0
を選択する。このように、ディレイ目標を満たすセルの
選択が複数ある場合、論理合成ツールは、より面積が小
さくなるものを選択する。

【0019】7行は、図11にあるRTL記述が表わす
回路のインバータ1123を、図12のテクノロジライ
ブラリにあるインバータinvd1セルでインスタンス化し
たもので、このとき論理合成ツールは、ディレイ目標
1103により、FF間のディレイが9ナノ秒以下になる
よう、テクノロジライブラリにある同じ機能をもつセル
invd0～1のうち、面積が一番小さいinvd1を選択す
る。8行～9行は、図11にあるRTL記述が表わす
FFを、図12のテクノロジライブラリにあるFFでイ
ンスタンス化したものである。

【0020】以上説明したように、論理合成処理は、RTL記述を解釈し、RTL記述内のFF記述については、LSIを製造するプロセスのテクノロジライブラリにあるFFのセルに置き換え、RTL記述内の組合回路については、合成制約が示すパスディレイ目標を満たすように、LSIを製造するプロセスのテクノロジライブラリのセルを用いて回路を実現するものである。ここで、以上の処理を、以後、組合回路のゲートマッピングと呼ぶ。

【0021】ところで、大規模なRTL記述による論理合成には、論理合成ツールが扱える規模のサブブロックにRTL記述を分割した上で、各々のサブブロックのRTL記述に対して論理合成をかけるという分割合成手法が取られることが多い。

【0022】これは、論理合成ツールで必要とするメモリの記憶容量が少なくて済み、処理時間が短かくて済むことと、RTL記述された結果に修正があった場合、修正した箇所を含むサブブロックだけを論理合成し直せばよいので、TAT(Turn Around Time)が短縮されるという利点があるからである。

【0023】ところで、この分割合成におけるサブブロック単位の論理合成には、サブブロックの合成制約が必要である。ここで、このサブブロックの合成制約とは、具体的にはクロック定義、入出力ディレイ制約のことであり、サブブロックの論理合成に対して、次のように作用する。

【0024】まず、サブブロック内のFF-FF間でのサブブロック内部パスの論理合成では、前記パスのディレイ目標がクロックの定義によって計算され、前記パスのディレイがディレイ目標に近づくように、前記パスに含まれる組合回路が論理合成される。

【0025】次に、外部ピンからサブブロック内のFFまでのサブブロック外部パスの論理合成では、前記パスのディレイ値及びディレイ目標が入出力ディレイ制約によって計算され、前記パスのディレイがディレイ目標に近づくように前記パスに含まれる組合回路が論理合成される。

【0026】ここで、この入出力ディレイ制約の作成には、設計者が回路を考慮して人手で作る方法と、特開平10-21428号公報に開示されている「階層間ディレイ分配方法」のように、論理合成前の回路全体を読み込み、論理合成対象となるサブブロックをまたぐパスの情報から、各々のサブブロックに与えるべき入出力ディレイ制約を自動生成する方法とがある。

【0027】

【発明が解決しようとする課題】上記従来技術は、パスの始点にあるFFと終点にあるFFが別々のサブブロックにある場合、サブブロックの境界をまたぐサブブロック間パスは、各々のサブブロックの外部パスとして別々に論理合成されるので、サブブロック間パスのディレイ

は、各々のサブブロック外部パスの論理合成を制御する入出力ディレイ制約に依存しているので、以下の問題があった。

【0028】まず、入出力ディレイ制約を使用した分割合成では、その入出力ディレイ制約の生成が手動か自動かに依らず、論理合成ツールが論理合成処理中のサブブロック間パス全体の論理構造とディレイを見ながら、それに応じてサブブロック間パスの組合回路を論理合成するものではない。

【0029】従って、従来技術では、サブブロック間パスの最適化に、

入出力ディレイ制約生成・修正

↓

論理合成処理

↓

サブブロック間パスのタイミング検証

という処理を反復する必要がある、しかも、このような処理を反復したからといって、必ずサブブロック間パスのディレイ値が収束するという保証も無い。

【0030】従って、まず、人手により入出力ディレイ制約を生成するようにした従来技術の場合、サブブロック間パスのディレイが、目標とするディレイに近づくようにして、入出力ディレイ制約を作成しなければならないので、多大の労力を要していた。

【0031】次に、入出力ディレイ制約を自動生成する従来技術の場合、入出力ディレイ制約は、論理合成前のRTL記述から生成されるので、論理合成後の組合回路の変化を考慮したものとはなっておらず、必要以上に厳しい制約が与えられた結果、本来ならより少なくて済む筈の回路面積が増加したり、過小な制約が与えられた結果、本来なら解消できた筈の違反パスが解消されなかったりするという問題があった。

【0032】本発明の目的は、全てのパスのディレイが1回の処理で目標値に近づけられ、少ない労力と短い時間で容易にサブブロック間パスの最適化が得られるようにした論理合成方法及び論理合成装置を提供することである。

【0033】

【課題を解決するための手段】上記目的は、RTL記述された論理回路を複数のサブブロックに分割した上で、これらサブブロック毎に論理合成する論理合成方法において、少なくともクロック定義を入れた論理合成により、前記各サブブロック毎に、サブブロック内パスのディレイを目標値に近づけるサブブロック内パスディレイ調整処理と、少なくともクロック定義を入れた論理合成により、前記論理回路と前記複数のサブブロックの1個の間のパス及び前記複数のサブブロック相互間のパスのディレイを目標値に近づけるサブブロック間パスディレイ調整処理とを含むようにして達成される。

【0034】ここで、前記サブブロック間パスディレイ

調整処理が、各々のサブブロックにおいて、それぞれサブブロックの外部ピンを起点としたファンアウトトレース上にある組合回路及びファンイントレース上にある組合回路と、これら各組合回路のトレースの終点となるFFとを含むサブブロック境界部を作成した上で、RTL記述により、前記各サブブロックと、対応する前記サブブロック境界部を入れ替える処理になるようにしてもよい。

【0035】更に、ここで、前記サブブロック内パスディレイ調整処理が、各サブブロック毎に並列に実行されるようにしても良い。本発明によれば、サブブロック間パスを、サブブロック内パスとして扱うことができ、この結果、サブブロック間パスの合成に入出力ディレイ制約を入れる必要がなくなり、従って、論理合成ツールの能力を十分引き出せる上、サブブロック間パスの最適化を1回の処理で得ることができる。

【0036】

【発明の実施の形態】以下、本発明による論理合成方法及装置について、図示の実施の形態により詳細に説明する。図1は、本発明の一実施形態による処理フローで、この処理は、図8に示したLSI開発フロー中の論理合成処理82において実行されるものである。

【0037】そして、この図1の処理フローは、RTL記述11を入力とし、サブブロック内パスのディレイをその目標値に近づけるサブブロック内パスディレイ調整処理12と、サブブロック間パスのディレイをその目標値に近づけるサブブロック間パスディレイ調整処理13を実行し、ゲートネットリストを出力する処理14で構成されている。

【0038】ここで、これらの処理は、プログラムを記憶する磁気ディスクや半導体メモリ等の記憶装置と、キーボードやマウス等の入力に基づいて記憶装置に記憶されているプログラムの実行を行うCPU等のプロセッサ、処理過程又は処理結果を表示する表示装置を備えた計算機を論理合成ツールとして実行される。

【0039】そして、RTL記述11と、処理中に作られる中間データ、それにゲートネットリスト14は計算機の記憶装置に格納され、必要に応じて書込まれたり読出されたりすることになる。

【0040】次に、図2～図7により、この実施形態におけるRTL記述が表わす回路と処理中に作られる中間回路及びゲートネットリスト、それに、この実施形態による処理について説明する。なお、ここでは、100MHzの周波数で動作するゲートネットリストを得る場合を例にして説明する。

【0041】まず、図2は、この実施形態でRTL記述が表わす回路を示したもので、このRTL記述の最上位回路21は、論理合成ツールが扱える規模のサブブロックA22とサブブロックB23を下位階層としてもち、最上位回路の入力ピン201とサブブロックAの入力ピ

ン221、サブブロックAの出力ピン222とサブブロックBの入力ピン251、それにサブブロックBの出力ピン252と最上位回路の出力ピン202が、それぞれ接続されている。

【0042】始めに、サブブロック内パスディレイ調整処理12について説明する。このサブブロック内パスディレイ調整処理12は、それぞれのサブブロックごとに、クロックの定義を入れ、論理合成を行う。そして、クロックの定義からサブブロック内の全てのFF間パス(サブブロック内パス)のディレイ目標が計算され、関連するパスのディレイがその目標値に近づくように、これらのパスに含まれる組合回路がゲートマッピングされる。

【0043】上記したように、この実施形態では、100MHzで動作する回路を得るのが目的なので、100MHzのクロック定義を入れることになり、従って、サブブロック内のすべてのFF間パス(サブブロック内パス)のディレイ目標は10ナノ秒となる。こうして、図2の回路に対してサブブロック内ディレイ調整処理12を行なった結果が図3の回路である。

【0044】まず、サブブロックA22では、図2に示すように、この中のFF241、242、243、244間にあるパスの組合回路232、233、234について、関連するパスディレイが10ナノ秒に近づくようにゲートマッピングされ、図3に示すように、それぞれ組合回路332、333、334に変化する。

【0045】同様に、サブブロックB23では、図2に示すように、この中のFF271、272、273、274間にあるパスの組合回路262、263、264について、関連するパスディレイが10ナノ秒に近づくようにゲートマッピングされ、それぞれ組合回路362、363、364に変化する。

【0046】ここで、この図3において、各組合回路332、333、334、362、363、364に施されているハッチングは、その組合回路の関連するパスディレイがその目標値(この場合は10ナノ秒)に近づくようにゲートマッピングされたことを意味し、以後、組合回路に施されたハッチングは同様の意味を持つものとする。

【0047】このとき、サブブロック内パスディレイ調整処理12の処理対象であるサブブロック内パスは各サブブロック内で閉じていて、他のサブブロックから完全に分離している。従って、このサブブロック内パスディレイ調整処理12は、各サブブロック毎に独立に行なうことができるので、処理を並列化し、処理時間を短縮することもできる。そして、このようなサブブロック内パスディレイ調整処理12の並列化は、複数のCUP、或いはネットワークに繋がる複数の計算機に処理を振り分けることによって実施される。

【0048】次に、サブブロック間ディレイ調整処理1

3について説明する。このサブブロック間ディレイ調整処理13では、まず、それぞれのサブブロック内でサブブロック境界部を作成する。図4は、図3示したサブブロック内パスディレイ調整処理後の回路において、それぞれのサブブロックの中にサブブロック境界部が作成された状態を表わしたものである。

【0049】まずサブブロックA22では、入力ピン221からのファンアウトトレース上にある組み合わせ回路231、入力ピン221からのファンアウトトレースの終点となるFF231、出力ピン222に至るファンイントレース上にある組み合わせ回路235、出力ピン222に至るファンイントレースの終点となるFF244とを含むサブブロックA境界部42を新たなサブブロックA下位階層として作成する。

【0050】また、サブブロックBでは、入力ピン251からのファンアウトトレース上にある組み合わせ回路261、入力ピン251からのファンアウトトレースの終点となるFF271、出力ピン252に至るファンイントレース上にある組み合わせ回路265、出力ピン252に至るファンイントレースの終点となるFF274とを含むサブブロックB境界部43を新たなサブブロックB下位階層として作成する。

【0051】次に、図5に示すように、上位回路21に、サブブロックA22に代えてサブブロックA境界部42を、サブブロックB23に代えてサブブロックB境界部43をそれぞれリンクし、最上位回路の入出力が関係するパス及びサブブロック間パスだけからなるサブブロック間ディレイ調整回路51を作成する。

【0052】このとき、サブブロックのRTL記述を、外部ピンを起点としたファンアウトトレース又はファンイントレース上にあるゲートと、トレースの終点となるFFとがある一つの階層内にあるように作ることににより、それをサブブロック境界部として、サブブロック間パスディレイ調整回路を作ることもできる。

【0053】そして、このようにして作成したサブブロック間ディレイ調整回路51に対して、論理合成対象回路の入力ピン201と出力ピン202に対する入出力ディレイ制約及びクロック定義を入れ、論理合成を行なう。

【0054】例えば、入力ピン201の入出力ディレイ制約として、外部ディレイ＝3ナノ秒とすると、入力ピン201からFF241間パスのディレイ目標は7ナノ秒となり、この目標に近づくように、組合回路231がゲートマッピングされる。

【0055】同様に、出力ピン202の入出力ディレイ制約として、外部ディレイ＝3ナノ秒とすると、FF271から出力ピン202間パスのディレイ目標が7ナノ秒となり、この目標に近づくように、組合回路265がゲートマッピングされる。

【0056】また、FF244とFF271間パスは、

サブブロック内パスディレイ調整処理同様、パスの目標が10ナノ秒となり、この目標に近づくように、組合回路235、261がゲートマッピングされる。

【0057】この結果、最上位回路の入出力が関係するパスおよびサブブロック間パス内のすべての組合回路231、235、261、265について、関連するパスディレイがその目標値に近づくようにゲートマッピングされ、図6に示すように、それぞれ組合回路631、635、661、665に変化する。

【0058】最後に、図4に示す中間回路において、サブブロックA境界部42とサブブロックB境界部43をそれぞれ、サブブロック間パス調整回路の合成によってできたサブブロックA境界部62とサブブロックB境界部63とに入れ替え、図7に示す回路内のすべての組合回路が、関連するパスディレイがその目標値に近づくようにゲートマッピングされたゲートネットリスト14を出力する。

【0059】従って、この実施形態によれば、出力されたゲートネットリスト14を、RTL記述11による論理合成対象回路と同じ階層構成を持つ最適化されたゲート論理とすることができる。

【0060】以上のように、この実施形態によれば、サブブロック間パス調整回路により、サブブロック間パスを、サブブロック内パスとして扱うことができ、この結果、サブブロック間パスの合成に入出力ディレイ制約を入れる必要がなくなる。

【0061】従って、論理合成ツールがサブブロック間パス全体の論理の変化を考慮することができるので、論理合成ツールの能力を十分引き出したサブブロック間パスの最適化を1回の処理で得ることができ、サブブロック内パスディレイ調整処理と合わせて、全てのパスがそのタイミング目標に近づくようにゲートマッピングされた回路を、1回の処理で得ることができる。

【0062】また、上記実施形態によれば、サブブロック間パスディレイ調整処理後のサブブロック間パスディレイ調整回路にリンクされた各々のサブブロック境界部を、対応する元のサブブロック境界部と入れ替えるようにしたので、サブブロック間パスディレイ調整処理によるサブブロック間パス上の組合回路についての最適化を、元のRTL記述に容易に反映することができる。

【0063】同じくまた、上記実施形態によれば、サブブロック内パスディレイ調整処理を1台の計算機の異なるCPUや、異なる計算機を用いて並列に行なうことができるので、論理合成処理を高速化できる。

【0064】更に、上記実施形態によれば、サブブロックのRTL記述を、外部ピンを起点としたファンアウトトレース又はファンイントレース上にあるゲートと、トレースの終点となるFFとがある一つの階層内にあるように作ることににより、それをサブブロック境界部として、サブブロック間パスディレイ調整回路が作成でき、

サブブロック境界部を作成する補助ツールなしに、サブブロック間ディレイ調整回路を容易に作ることができる。

【0065】

【発明の効果】本発明によれば、論理合成ツールがサブブロック間パス全体の論理の変化を考慮することができ、論理合成ツールの能力を十分引き出したサブブロック間パスの最適化を1回の処理で実行できるので、サブブロック内パスディレイ調整処理と合わせて、1回の処理で高速にすべてのパスがそのタイミング目標に近づくようにゲートマッピングされた回路を得ることができる。

【図面の簡単な説明】

【図1】本発明による論理合成の一実施形態における処理フローの説明図である。

【図2】本発明の一実施形態において論理合成対象となる回路の一例を示す説明図である。

【図3】本発明の一実施形態により実行されるサブブロック内ディレイ調整処理の説明図である。

【図4】本発明の一実施形態により実行されるサブブロック間ディレイ調整処理の最初の段階を示す説明図である。

【図5】本発明の一実施形態により実行されるサブブロック間ディレイ調整処理の第1段階を示す説明図である。

【図6】本発明の一実施形態により実行されるサブブロック間ディレイ調整処理の第2段階を示す説明図である。

【図7】本発明の一実施形態により実行されるサブブロック間ディレイ調整処理の第3段階を示す説明図である。

【図8】LSIの開発フローの一例を示す説明図である。

【図9】RTL記述の一例を示す説明図である。

【図10】RTL記述における合成制約の説明図である。

【図11】RTL記述で表わされた回路と合成制約が示すディレイ目標との関係を示す説明図である。

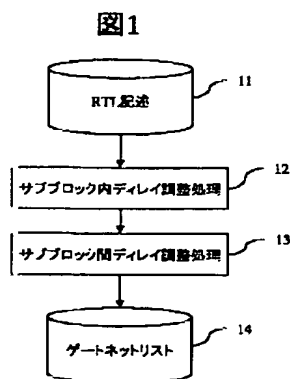
【図12】RTL記述におけるテクノロジライブラリの一例を示す説明図である。

【図13】RTL記述におけるゲートネットリストの一例を示す説明図である。

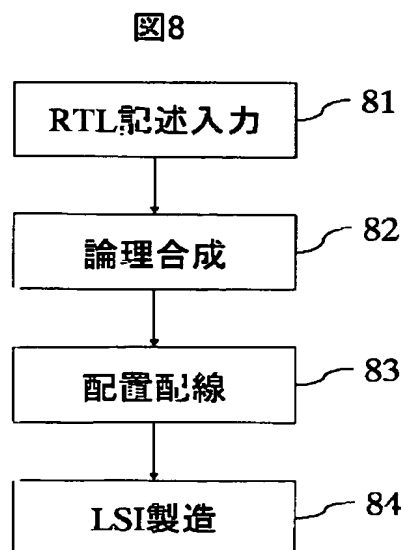
【符号の説明】

- 11 論理合成対象回路
- 12 サブブロック内ディレイ調整処理
- 13 サブブロック間ディレイ調整処理
- 14 ゲートネットリスト
- 21 最上位回路
- 22 サブブロックA
- 23 サブブロックB
- 42 サブブロックA境界部
- 43 サブブロックB境界部
- 51 サブブロック間ディレイ調整回路
- 63 合成されたサブブロックA境界部
- 64 合成されたサブブロックB境界部

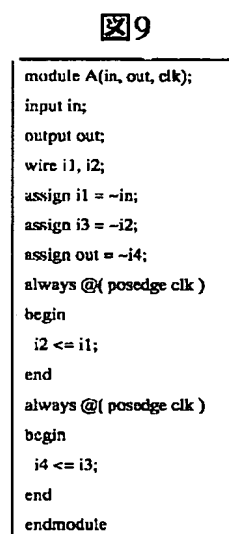
【図1】



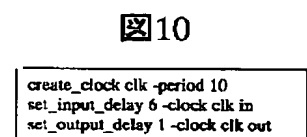
【図8】



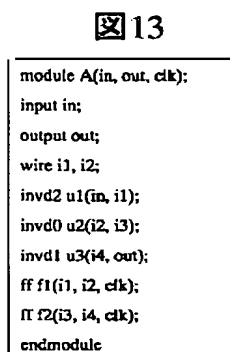
【図9】



【図10】

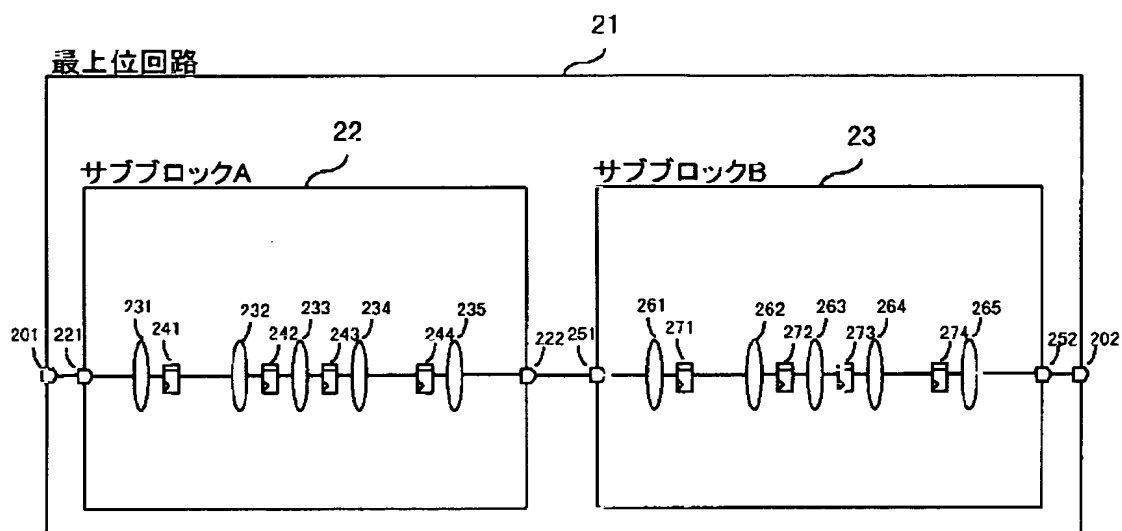


【図13】



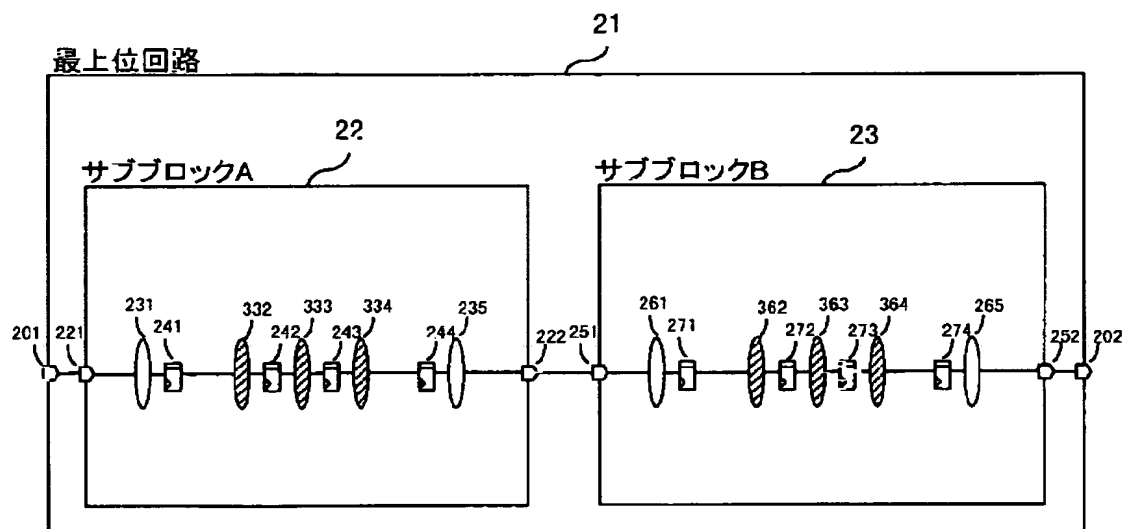
【図2】

図2



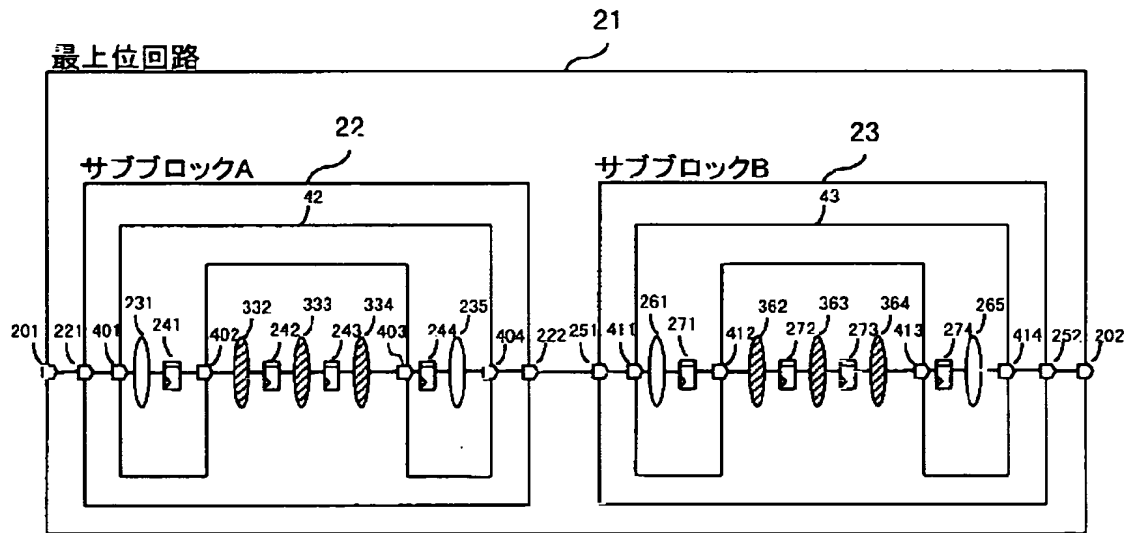
【図3】

図3



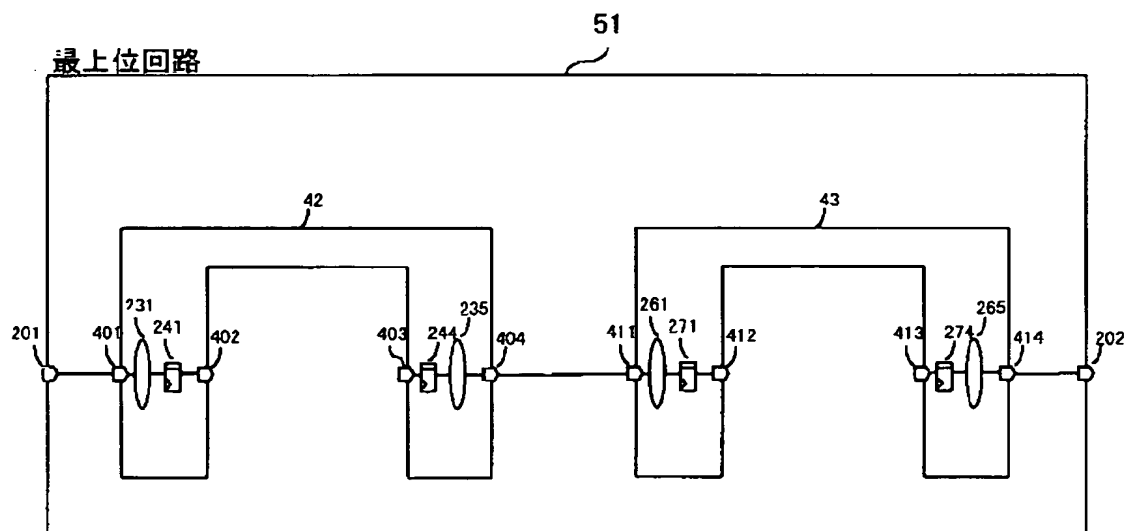
【図4】

図4



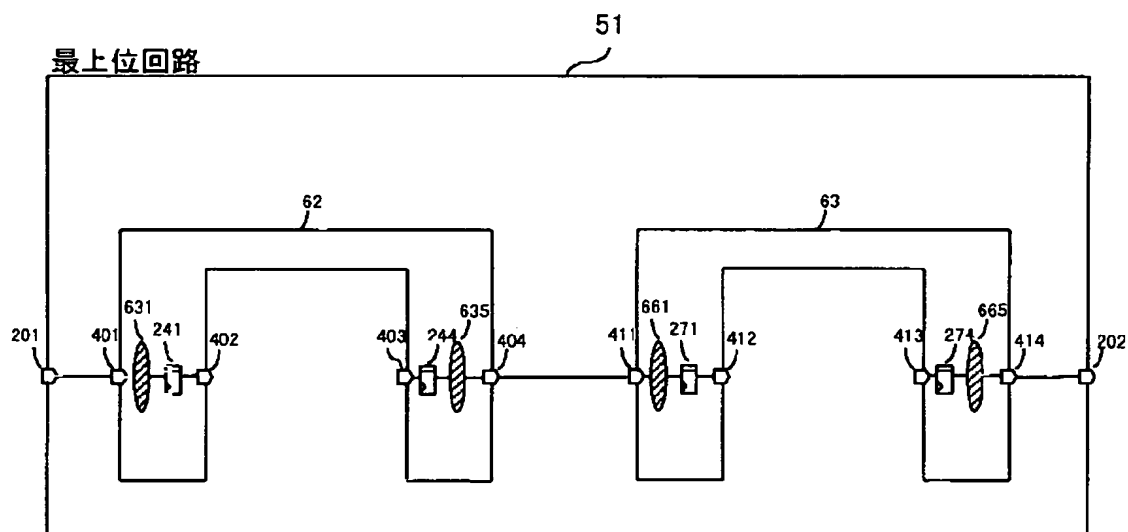
【図5】

図5



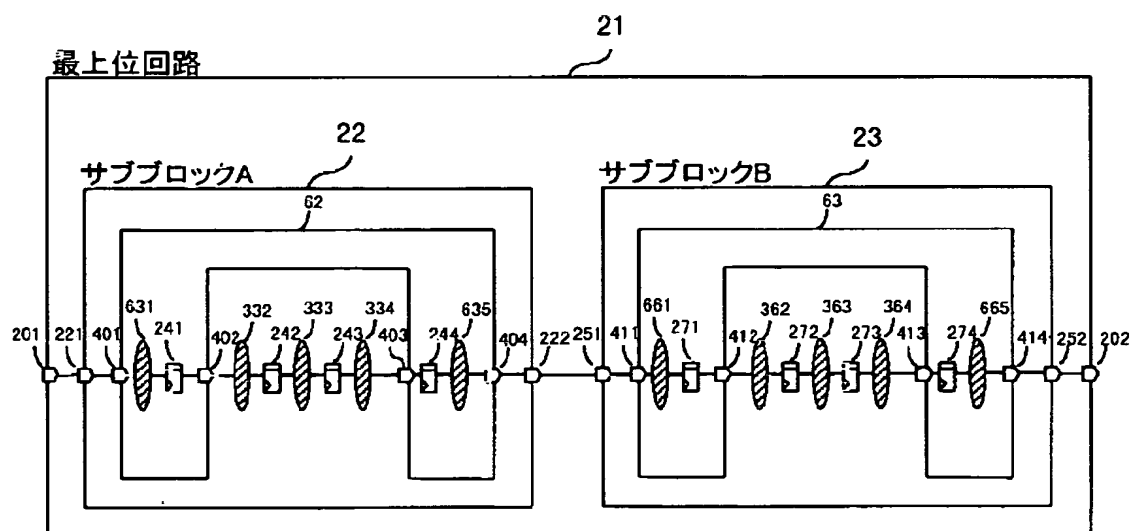
【図6】

図6

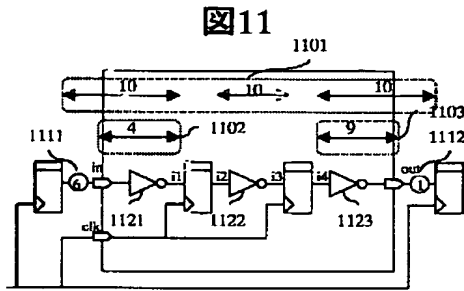


【図7】

図7



【図 11】



【図 12】

図12

セル名(ポート)	入力	出力	機能	デレイ	面積
invd0(in, out)	in	out	インバータ	in -> out: 9ns	1
invd1(in, out)	in	out	インバータ	in -> out: 7ns	2
invd2(in, out)	in	out	インバータ	in -> out: 3ns	3
...
ff(in, out, clk)	in clk	out	FF	in -> out: 0.5ns clk -> out: 0.5ns	...
...

フロントページの続き

(72)発明者 島村 光太郎
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内
(72)発明者 山田 弘道
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 藤井 大
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内
(72)発明者 中山 晴之
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内
Fターム(参考) 5B046 AA08 BA03
5F064 BB19 DD24 EE47 HH06 HH12